

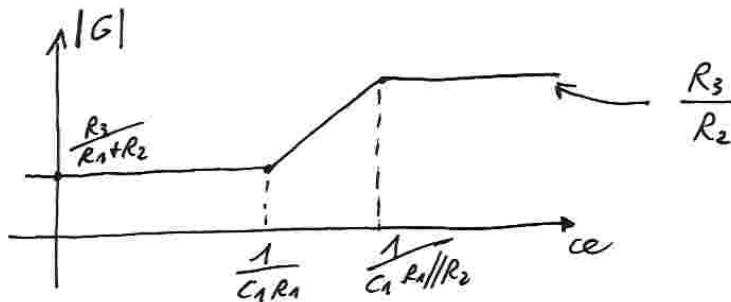
COMPITO DEL 28/01/03

SOLUZIONI

ES. 1

$$a) \frac{V_o(s)}{V_{in}(s)} = - \frac{R_3}{R_1+R_2} \frac{1+sC_1R_1}{1+sC_1R_1//R_2}$$

oss. $R_1//R_2 < R_1$
 \Rightarrow lo zero è a
frequenza inferiore
rispetto al polo



$$b) f_{zero} = 500 \text{ Hz} \Rightarrow \tau_z = 318 \mu\text{s} = C_1 R_1 \Rightarrow R_1 = 90 \text{ k}\Omega$$

$$G_{0\text{dB}} = 20 = \frac{R_3}{R_2} \Rightarrow R_3 = 10 \text{ k}\Omega$$

$$c) G_{loop} = -A_o \frac{R_1+R_2}{R_1+R_2+R_3} = 33.333 \text{ (90 dB)}$$

$$d) f_{pole} = \frac{1}{2\pi C_1 R_1 // R_2} = 5 \text{ kHz}$$

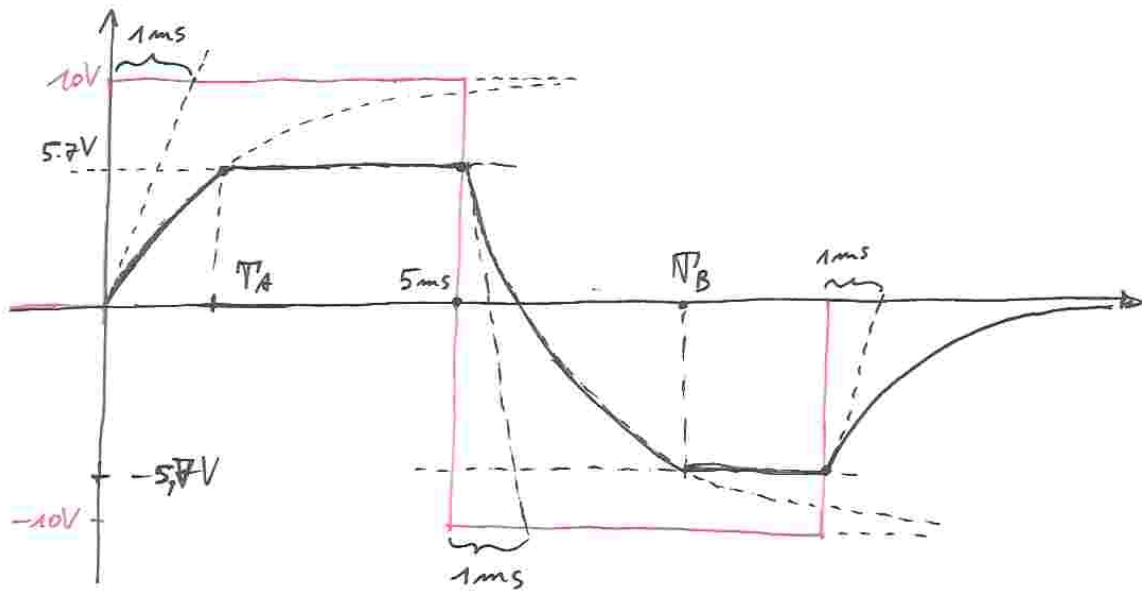
$$f_{seguale} = 100 \text{ kHz} \gg 5 \text{ kHz} \Rightarrow G_{seguale} = 20$$

$$G_{offset} = 1 + \frac{R_3}{R_1+R_2} = 3$$

$$\Rightarrow G_{offset} \ll G_{seguale}$$

BS. 2

$$\tau = 100k\Omega \cdot 10\mu F = 1ms$$

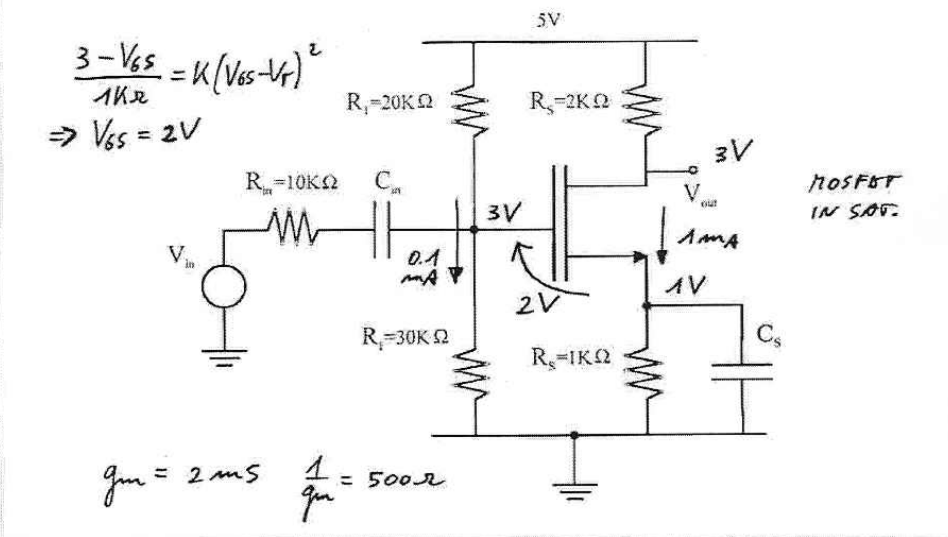


$$\tau_A = 0,84ms$$

$$\tau_B = 5ms + 1,29ms = 6,29ms$$

Es. 3 Si consideri il circuito in figura con il MOSFET avente le seguenti caratteristiche: $V_T=1V$, $k=1/2\mu C_{ox}W/L = 1mA/V^2$. Si determini:

- 1) la polarizzazione del circuito (tensioni a tutti i nodi e correnti in tutti i rami, in assenza di segnale) e la zona di funzionamento del transistor (triodo/saturazione) giustificando la risposta;
- 2) il guadagno V_{out}/V_{in} a media frequenza (esaurito l'effetto di C_{in} e non ancora intervenuta C_S),
- 3) il guadagno V_{out}/V_{in} ad alta frequenza (esaurito l'effetto sia di C_{in} che di C_S),
- 4) il massimo segnale positivo (ad alta frequenza) applicabile a V_{in} senza che il MOSFET esca dalla zona di saturazione.



$$2) \quad G_{media \text{ freq}} = - \frac{20k // 30k}{20k // 30k + 10} \cdot \frac{2k}{\frac{1}{g_m} + 1k} = -0,73$$

$$3) \quad G_{alta \text{ freq}} = -0,55 \cdot g_m \cdot 2k = -2,2$$

$$4) \quad \Delta V_{GS} = 1V = \underbrace{V_{in} \cdot 0,55}_{\Delta V_{gate}} + \underbrace{g_m R_D \cdot V_{in} \cdot 0,55}_{-\Delta V_{drain}}$$

$$\Rightarrow V_{in \text{ max}} = 0,6V \quad 0,36V$$

Es. 4

- Con riferimento al circuito riportato in Figura 4, si supponga che il segnale C sia il risultato della funzione logica rappresentata dalla tabella della verità. Il secondo blocco è un flip-flop tipo D. Si determini l'andamento dei segnali C e U in risposta ai segnali di ingresso A e B mostrati in figura.
- Facendo uso solo di porte logiche AND, OR e NOT, disegnare il circuito digitale che realizzi la funzione logica riportata nella tabella della verità del punto precedente.

| A | B | C |
|---|---|---|
| 0 | 0 | 0 |
| 1 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 1 | 0 |

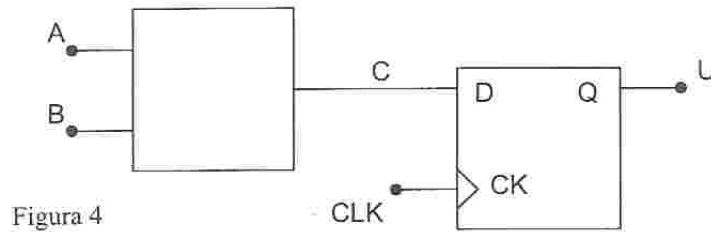
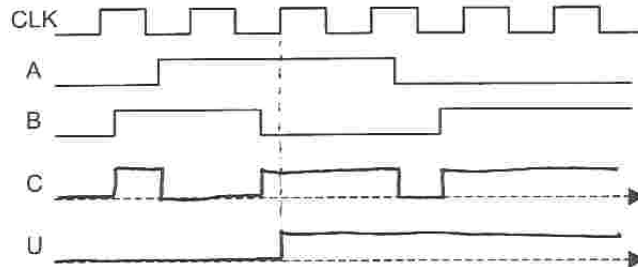


Figura 4



DIVERSE SOLUZIONI PER L'IMPLEMENTAZIONE SONO POSSIBILI
AD ESEMPIO :

