

Elettronica 1 – Ingegneria Biomedica

Es. 1

Per il circuito riportato in Figura 1, considerando ideale l'amplificatore operazionale ($A \rightarrow \infty$, $R_{in} \rightarrow \infty$, $R_{out}=0$) e con $R_1=5k\Omega$; $R_2=50k\Omega$; $C_1=10nF$;

- a) Determinare la funzione di trasferimento ideale tra la tensione di ingresso e la tensione di uscita e disegnare il diagramma di Bode (quotato!) del circuito. Quali funzioni svolge questo circuito?
- b) Determinare l'impedenza di ingresso.
Tenendo ora conto delle seguenti non idealità: offset $V_{os}=2mV$; correnti di bias $I_B=100nA$
- c) Indicare quali sono gli effetti di queste non idealità e darne una valutazione quantitativa.
- d) Supponendo che l'operazionale abbia un guadagno in continua pari a 100dB e un polo a 10Hz, determinare il guadagno d'anello e disegnare il suo diagramma di Bode
- e) Calcolare per quale campo di frequenze Gloop è maggiore di 10.

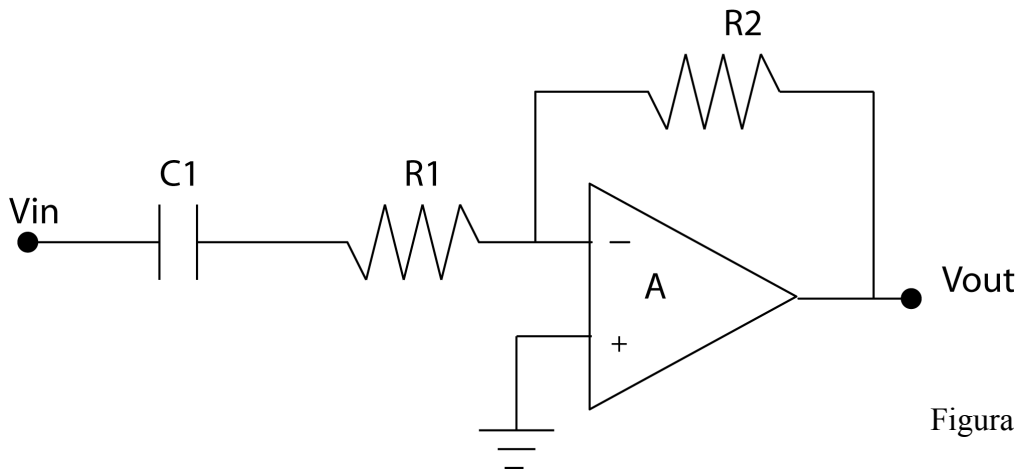


Figura 1

Es. 2

Si consideri il circuito riportato in Fig. 2. Si suppongano D_1 e D_2 ideali (con soglia di conduzione a 0.7V) e $V_{IN}=E\sin(2\pi f_0 t)$ (misurato in Volt) con $f_0=60Hz$.

Tracciare in un grafico quotato l'andamento nel tempo della tensione V_{OUT} nei seguenti casi:

- 1) $E=10V$
- 2) $E=50V$

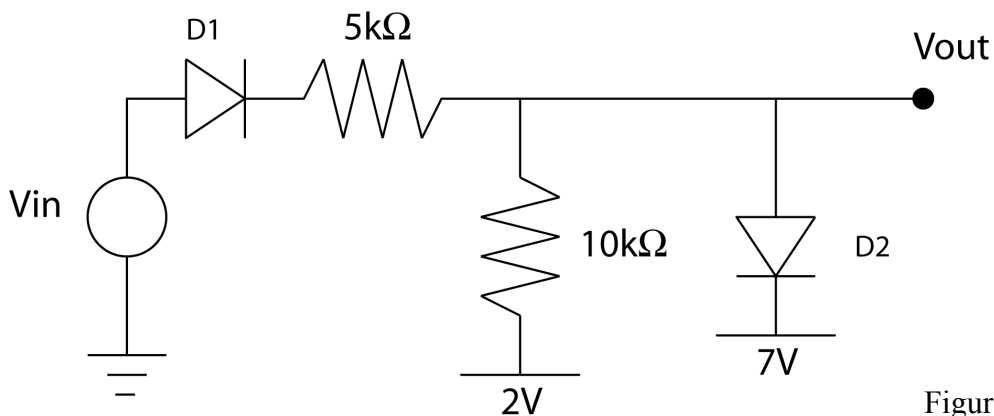


Figura 2

Es. 3

Il MOSFET in Fig.3 ha le seguenti caratteristiche: $V_T = 1V$, $k = 1/2\mu C_{ox}W/L = 0.25mA/V^2$.

Determinare:

- 1) la polarizzazione del circuito (tutte le tensioni e le correnti) in assenza di segnale. Dire quale è la zona di funzionamento del transistor (ohmica-triodo-saturazione) giustificando la risposta;
- 2) il guadagno V_{out}/V_{in} a media frequenza (esaurito l'effetto di C_{in} e non ancora intervenuta C_1),
- 3) il guadagno V_{out}/V_{in} ad alta frequenza (esaurito l'effetto sia di C_{in} che di C_1),
- 4) un grande segnale positivo V_{in} a media frequenza puo' far cambiare zona di funzionamento al MOSFET? Se affermativo, spiegare che transizione sarebbe e a che livello V_{in} avverrebbe.

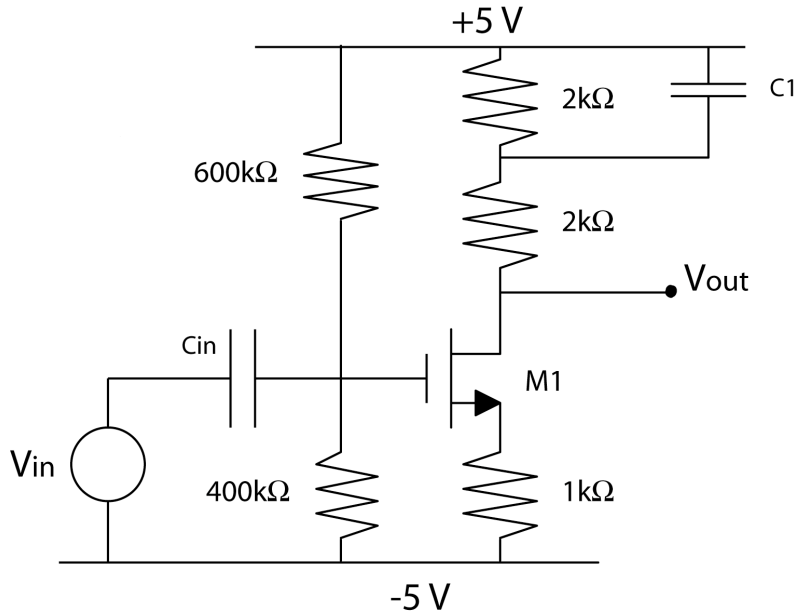


Figura 3

Es. 4

Per la rete logica mostrata in Fig. 4 (A e B ingressi; C uscita; ultimo blocco flip-flop Set-Reset):

scrivere la tabella della verità e determinare l'andamento nel tempo del segnale Q in risposta ai segnali di ingresso A e B mostrati in figura.

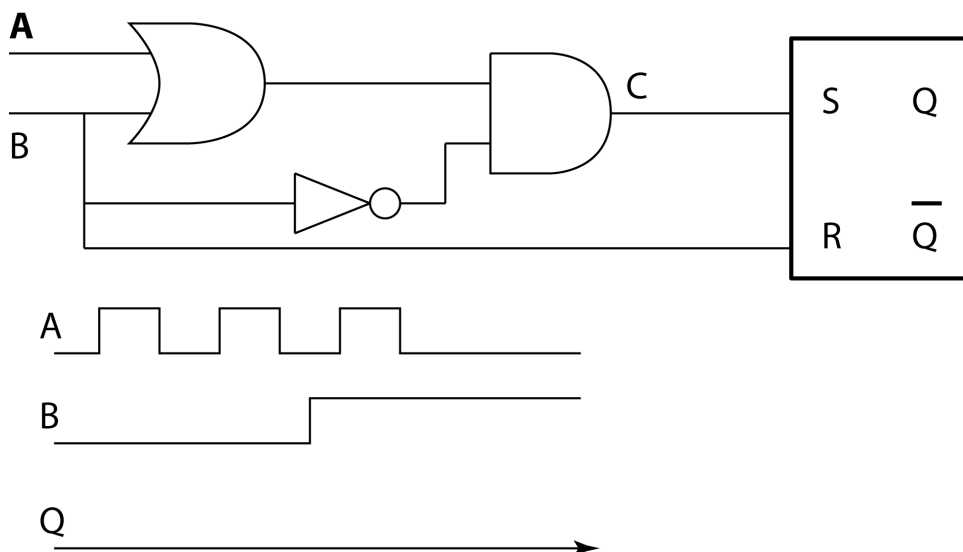


Figura 4